

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月11日

出 願 番 号

Application Number:

特願2002-265326

[ST.10/C]:

[JP2002-265326]

出 願 人

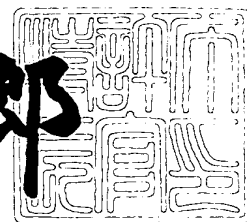
Applicant(s):

NECエレクトロニクス株式会社

2003年 4月 8日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3024813

【書類名】 特許願

【整理番号】 74310411

【提出日】 平成14年 9月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 采女 昌克

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置

【特許請求の範囲】

【請求項 1】 複数のデータ処理回路による 1 個の半導体記憶回路の共有を 1 個の共有調停回路で調停するデータ処理装置であって、

前記半導体記憶回路は、外部入力されるコマンド信号およびアドレス信号に対応した動作を外部入力されるクロック信号に同期して実行し、

前記データ処理回路は、前記半導体記憶回路のクロック信号を第 1 状態で有効として第 2 状態で無効とするクロックイネーブル信号を占有している前記半導体記憶回路に前記第 1 状態で出力し、占有している前記半導体記憶回路に前記コマンド信号および前記アドレス信号を出力し、前記コマンド信号および前記アドレス信号を第 1 状態で有効として第 2 状態で無効とするチップセレクト信号を占有している前記半導体記憶回路に出力し、

前記半導体記憶回路の占有を終了する前記データ処理回路が前記クロックイネーブル信号および前記チップセレクト信号の出力を停止させる以前に前記半導体記憶回路の占有を開始する前記データ処理回路が前記クロックイネーブル信号および前記チップセレクト信号の出力を同一状態で各々開始する、データ処理装置。

【請求項 2】 前記データ処理回路は、前記半導体記憶回路の占有を要求するリクエスト信号を前記共有調停回路に出力し、前記リクエスト信号の出力に対応して前記共有調停回路から前記占有の許可を示すグラント信号が入力されると前記半導体記憶回路を占有し、前記半導体記憶回路を占有しているときにビジー信号を前記共有調停回路に出力し、

前記半導体記憶回路の占有を終了する前記データ処理回路は、前記ビジー信号の出力を終了してから所定時間が経過すると前記クロックイネーブル信号および前記チップセレクト信号の出力を停止させ、

前記共有調停回路は、前記半導体記憶回路を占有していた前記データ処理回路の前記ビジー信号が終了してから前記所定時間が経過する以前に前記リクエスト信号を出力している前記データ処理回路に前記グラント信号を返信する、請求項

1 に記載のデータ処理装置。

【請求項 3】 前記半導体記憶回路は、外部入力される前記クロックイネーブル信号が前記第 2 状態のときに内部動作を休止させる休止状態となる、請求項 1 または 2 に記載のデータ処理装置。

【請求項 4】 複数の前記データ処理回路は、1 個がマスタで他がスレーブであり、

前記マスタのデータ処理回路は、前記スレーブのデータ処理回路の全部が前記クロックイネーブル信号および前記チップセレクト信号を出力しないときはクロックイネーブル信号および前記チップセレクト信号を出力する、請求項 1 ないし 3 の何れか一項に記載のデータ処理装置。

【請求項 5】 複数の前記データ処理回路と 1 個の前記共有調停回路とが別体に形成されて接続されている請求項 1 ないし 4 の何れか一項に記載のデータ処理装置。

【請求項 6】 複数の前記データ処理回路は、1 個がマスタで他がスレーブであり、

前記マスタのデータ処理回路に前記共有調停回路が内蔵されている請求項 1 ないし 4 の何れか一項に記載のデータ処理装置。

【請求項 7】 複数の前記データ処理回路の全部に前記共有調停回路が内蔵されており、

複数の前記データ処理回路は、1 個がマスタで他がスレーブとして初期設定され、

複数の前記共有調停回路は、前記マスタのデータ処理回路に内蔵されている 1 個が有効となる、請求項 1 ないし 4 の何れか一項に記載のデータ処理装置。

【請求項 8】 前記マスタのデータ処理回路に内蔵されている前記共有調停回路は、起動を確認する前記スレーブのデータ処理回路に前記半導体記憶回路の占有の許可を示すグラント信号を出力し、

前記スレーブのデータ処理回路は、前記半導体記憶回路の占有を要求するリクエスト信号を出力していないときに前記グラント信号が入力されると前記リクエスト信号を所定時間だけ出力し、

前記マスタのデータ処理回路に内蔵されている前記共有調停回路は、前記リクエスト信号の入力で前記スレーブのデータ処理回路の起動を確認すると前記グラント信号の出力を終了する、請求項 6 または 7 に記載のデータ処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体回路とデータ処理回路とを有するデータ処理装置に関し、特に、半導体記憶回路を複数のデータ処理回路で共有するデータ処理装置に関する。

【 0 0 0 2 】

【従来の技術】

従来、複数のデータ処理回路による半導体記憶回路の共有を共有調停回路で調停するデータ処理装置がある(例えば、特許文献 1 - 3 参照)。

【 0 0 0 3 】

【特許文献 1】

特開平 6 - 8 3 7 8 0 号公報

【特許文献 2】

特開平 1 1 - 2 7 2 6 3 2 号公報

【特許文献 3】

特開 2 0 0 0 - 2 9 8 6 5 2 号

ここで、上述のようなデータ処理装置の一従来例を図 4 を参照して以下に説明する。このデータ処理装置 1 0 0 は、例えば、半導体記憶回路である S D R A M (Synchronous Dynamic Random Access Memory) 1 0 1、ワンチップマイコンからなる 2 個のデータ処理回路 1 0 2、共有調停回路であるアービタ回路 1 0 3、バス制御回路 1 0 4、を有しており、このバス制御回路 1 0 4 を中心に 1 個の S D R A M 1 0 1 と 2 個のデータ処理回路 1 0 2 とがシステムバス 1 0 5 で接続されている。2 個のデータ処理回路 1 0 2 は専用の信号ライン 1 0 6 でアービタ回路 1 0 3 に接続されており、このアービタ回路 1 0 3 が専用の信号ライン 1 0 7 でバス制御回路 1 0 4 に接続されている。

【0004】

データ処理回路102には、アービタ回路103と信号通信するリクエスト回路108と、システムバス105でSDRAM101とデータ通信するI/F(Interface)回路109と、が内蔵されている。なお、このデータ処理装置100では、上述の構成とは別個にクロック発振回路(図示せず)が設けられており、このクロック発振回路が各部にクロック信号を共通に供給する。

【0005】

上述のような構造のデータ処理装置100では、SDRAM101は、データ処理回路102からシステムバス105で外部入力されるコマンド信号およびアドレス信号に対応してデータリードおよびデータライトを実行し、この動作をクロック発振回路から外部入力されるクロック信号に同期して実行する。

【0006】

ただし、上述のデータ処理装置100では、1個のSDRAM101に2個のデータ処理回路102が接続されているので、その一方をSDRAM101に選択的に接続する動作を制御する必要がある。そこで、上述のデータ処理装置100では、アービタ回路103が2個のデータ処理回路102の動作状態を管理し、バス制御回路104を動作制御して2個のデータ処理回路102の一方をSDRAM101に選択的に接続する。

【0007】

【発明が解決しようとする課題】

上述のデータ処理装置100では、アービタ回路103に制御されるバス制御回路104が2個のデータ処理回路102の一方をSDRAM101に選択的に接続するので、2個のデータ処理回路102が問題なくSDRAM101を共有することができる。

【0008】

しかし、換言すると複数のデータ処理回路102に1個のSDRAM101に共有させるためにシステムバス105の接続関係を切り換えるバス制御回路107が必要であるために回路規模が増大しており、バス制御回路107の切換動作のために装置全体の動作速度も低下している。

【 0 0 0 9 】

この課題を解決するためには、バス制御回路 1 0 7 を排除してシステムバス 1 0 5 で複数のデータ処理回路 1 0 2 と 1 個の S D R A M 1 0 1 とを直結し、アービタ回路 1 0 3 の制御で複数のデータ処理回路 1 0 2 の動作を調停することが想定できるが、これは実際には困難である。

【 0 0 1 0 】

例えば、半導体記憶回路として D D R (Double Data Rate) - S D R A M を利用する場合、D D R - S D R A M はクロック信号の立ち上がり立ち下がりとの同期して高速に動作するので、データ処理回路から D D R - S D R A M に供給する制御信号は、“ $1/2 VDD$ ” 電位を中心にハイ電位(例えば、 VDD)とロー電位(例えば、 GND)とに変化させる必要がある。

【 0 0 1 1 】

このため、D D R - S D R A M を占有するデータ処理回路を切り換えるために制御信号の供給が中断されると、その不定状態が D D R - S D R A M ではハイ／ローの一方として誤認されて誤動作が発生することがある。従って、D D R - S D R A M を複数のデータ処理回路 1 0 2 に共有させるデータ処理装置ではバス制御回路 1 0 7 を排除することができないので、バス制御回路 1 0 7 のために回路規模が増大するとともに応答速度が低下している。

【 0 0 1 2 】

本発明は上述のような課題に鑑みてなされたものであり、バス制御回路なしに半導体記憶回路に誤動作を発生させることなく複数のデータ処理回路による半導体記憶回路の共有ができるデータ処理装置を提供することを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

本発明のデータ処理装置は、複数のデータ処理回路による 1 個の半導体記憶回路の共有を 1 個の共有調停回路で調停するデータ処理装置であって、半導体記憶回路は、外部入力されるコマンド信号およびアドレス信号に対応した動作を外部入力されるクロック信号に同期して実行し、データ処理回路は、半導体記憶回路のクロック信号を第 1 状態で有効として第 2 状態で無効とするクロックイネーブ

ル信号を占有している半導体記憶回路に第1状態で出力し、占有している半導体記憶回路にコマンド信号およびアドレス信号を出力し、コマンド信号およびアドレス信号を第1状態で有効として第2状態で無効とするチップセレクト信号を占有している半導体記憶回路に出力し、半導体記憶回路の占有を終了するデータ処理回路がクロックイネーブル信号およびチップセレクト信号の出力を停止させる以前に半導体記憶回路の占有を開始するデータ処理回路がクロックイネーブル信号およびチップセレクト信号の出力を同一状態で各々開始する。このため、本発明のデータ処理装置では、半導体記憶回路に外部入力されるクロックイネーブル信号およびチップセレクト信号が不定状態となることがない。

【 0 0 1 4 】

なお、本発明で云う各種の構成要素は、かならずしも個々に独立した存在である必要はなく、複数の構成要素が1個の部材として形成されていること、ある構成要素が他の構成要素の一部であること、ある構成要素の一部と他の構成要素の一部とが重複していること、等も可能である。

【 0 0 1 5 】

【発明の実施の形態】

[実施の形態の構成]

本発明の実施の一形態を図1ないし図3を参照して以下に説明する。なお、本実施の形態に関し、前述した一従来例と同一の部分は同一の名称を使用して詳細な説明は省略する。

【 0 0 1 6 】

本形態のデータ処理装置200は、図1に示すように、半導体記憶回路であるDDR-SDRAM201とデータ処理回路202-1, 2とを備え、これらデータ処理回路202-1, 2は、システムバス203を介してDDR-SDRAM201に接続されている。

【 0 0 1 7 】

システムバス203は、チップセレクト信号CSB、クロックイネーブル信号CKE、およびその他信号（コマンド信号、アドレス信号を含む）を伝達する。なお、データ処理装置200は、クロック発振器（図示しない）がSDRAM2

01、データ処理回路202-1、202-2にクロック信号を供給しているものとする。

【0018】

データ処理回路202-1、2は、同一構造であるため、データ処理回路202-1の構造について説明する。データ処理回路202-1は、アービタ205-1、リクエスタ206-1、IF回路207-1、コントローラ208-1、切換スイッチ209-1、210-1を備えている。

【0019】

次に、データ処理回路200の初期設定について説明する。

【0020】

データ処理回路200の初期設定は、コントローラ208-1内に設けられたレジスタにマスタおよびスレーブを設定するデータを設定することによって行なわれ、マスタが設定された場合には、アービタ205-1を活性化すると共に、コントロール信号CONT1を出力することによってスイッチ209-1を非活性化し、かつ、スイッチ210-1を活性化する。スレーブが設定された場合には、アービタ205-1を非活性化すると共に、コントロール信号CONT1を出力することによってスイッチ209-1を活性化し、かつ、スイッチ210-1を非活性化する。

【0021】

マスタに設定されたデータ処理回路202-1は、スレーブに設定されたデータ処理回路202-2（ここでは、スレーブに設定されたものとして説明する。）が起動されているかどうか確認するために、マスタ側のアービタ205-1からスイッチ210-1を介してグラント信号GNTを出力する。スレーブ側のデータ処理回路202-2は、スイッチ209-2を介してリクエスタ206-2がグラント信号GNTを受け取る。

【0022】

グラント信号GNTを受け取ったスレーブ側のリクエスタ206-2は、リクエスト信号を出力していない時にグラント信号が入力されるとリクエスト信号REQを所定クロック（例えば、1クロック）の期間出力されるように設定されて

いるため、マスタ側からのグラント信号 G N T に対してスレーブ側からのリクエスト信号 R E Q の有無によりスレーブ側のデータ処理回路 2 0 2 - 2 の起動を確認することができる。

【 0 0 2 3 】

なお、スレーブ側のデータ処理回路 2 0 2 - 2 の起動の確認は、起動の前にノイズ等により発生したリクエスト信号がマスタ側のアービタ 2 0 5 - 1 に入力され誤動作するのを防止するためであり、マスタ側のアービタ 2 0 5 - 1 は、スレーブのデータ処理回路 2 0 2 - 2 の起動を確認した後にスレーブ側からの信号を受付けるように制御される。

【 0 0 2 4 】

[実施の形態の動作]

次に、本発明のデータ処理装置の動作について図 2 を参照しながら説明をする。なお、データ処理回路 2 0 2 - 1 がマスタ、データ処理回路 2 0 2 - 2 がスレーブに設定されているものとして説明をする。

【 0 0 2 5 】

スレーブ側のデータ処理回路 2 0 2 - 2 が S D R A M を占有してデータ処理を行なっている a の期間について説明する。スレーブ側のリクエスタ 2 0 6 - 2 は、スレーブ側のデータ処理回路 2 0 2 - 2 が処理を行なっていることを示すビジ-信号 B S Y _ S (以下、各信号の後ろに _ S がつく場合はスレーブ側から出力された信号を示し、_ M がつく場合にはマスタ側から出力された信号を示す)をマスタ側のアービタ 2 0 5 - 1 にスイッチ 2 0 9 - 2 およびスイッチ 2 1 0 - 1 を介して出力し、クロック信号が有効であることを示すクロックイネーブル信号 C K E _ S、コマンド信号およびアドレス信号の有効/無効を示すチップセレクト信号 C S B _ S が出力されている。

【 0 0 2 6 】

スレーブ 2 0 2 - 2 での処理が終了し、スレーブからマスタに処理が移行する b の期間について説明する。スレーブ 2 0 2 - 2 での処理が終了すると、コントローラ 2 0 8 - 2 は、リクエスタ 2 0 6 - 2 および I F 回路 2 0 7 - 2 に終了信号 E N D を出力する。終了信号 E N D を受け取ったリクエスタ 2 0 6 - 2 は、ビ

ジー信号 BSY_S をインアクティブ（ローレベル）とし、IF回路 207-2 は、クロックイネーブル信号 CKE_S をインアクティブ（ローレベル）する。

【0027】

マスタ側のアービタ 205-1 は、ビジー信号 BSY_S がインアクティブになったことに応答して、マスタからのリクエスト信号 REQ_M とスレーブからのリクエスト信号 REQ_S のうち優先度の高いマスタ側のリクエスト信号 REQ_M に基づいてグラント信号 GNT_M を出力する。

【0028】

このとき、マスタ側の IF回路 207-1 は、スレーブ側のビジー信号 BSY_S がインアクティブになってから 1 クロック後にマスタ側のチップセレクト信号 CSB_M をハイレベルにし、クロックイネーブル信号 CKE_M をローレベルにする。

【0029】

続いて、スレーブ側の IF回路 207-2 は、スレーブ側のビジー信号 BSY_S がインアクティブになってから 2 クロック後にスレーブ側のチップセレクト信号 CSB_S およびクロックイネーブル信号 CKE_S を $Hi-z$ にする。マスタ側のリクエスト 206-1 は、グラント信号 GNT_M を受け取った 2 クロック後にマスタ側のビジー信号 BSY_M をアクティブにする。

【0030】

このように、スレーブからマスタに処理が移行する場合には、スレーブ側のビジー信号 BSY_S 応答してマスタ側のチップセレクト信号およびクロック信号がアクティブにされた後、スレーブ側のチップセレクト信号およびクロックイネーブル信号が $Hi-z$ に制御されるため、SDRAMにつながるシステムバスのクロックイネーブル信号およびチップセレクト信号が不定となることはない。

【0031】

マスタによるリクエストを受付け処理を行なっている c の期間について説明する。マスタ側のビジー信号 BSY_M がアクティブになったことに応答して 1 クロック後にマスタ側のグラント信号 GNT_M をインアクティブとする。このとき、後続のリクエストがある場合にはリクエスト信号 REQ_M をアクティブの

ままとし、後続のリクエストがない場合にはリクエスト信号REQ_Mもインアクティブとする。

【 0 0 3 2 】

なお、クロックイネーブル信号CKEがローレベルになっているとき、すなわち、クロックイネーブル信号CKE_SおよびCKE_Mが共にローレベルになっているときには、SDRAMは、スタンバイモードに制御され低消費電力になる。

【 0 0 3 3 】

マスタ側のデータ処理回路202-1による処理が終了しマスタからスレーブに処理が移行するdの期間について説明する。マスタ側の処理の終了に応答してコントローラ208-1が終了信号ENDを出力する。終了信号ENDを受け取った、リクエスト206-1は、ビジー信号BSY_Mをインアクティブ（ローレベル）とし、IF回路207-1は、クロックイネーブル信号CKE_Mをローレベルとする。

【 0 0 3 4 】

マスタ側のアービタ205-1は、ビジー信号BSY_Mがインアクティブになったことに応答して、スレーブからのリクエスト信号REQ_Sに基づいてグラント信号GNT_Sを出力する。このとき、スレーブ側のIF回路207-2は、グラント信号GNT_Sがアクティブになったことに応答してチップセレクト信号CSB_Sをハイレベルにし、クロックイネーブル信号CKE_Sをローレベルとする。

【 0 0 3 5 】

続いて、マスタ側のIF回路207-1は、スレーブ側のグラント信号GNT_Sがアクティブになってから1クロック後にマスタ側のチップセレクト信号CSB_Mおよびクロックイネーブル信号CKE_MをHi-zにする。スレーブ側のリクエスト206-2は、グラント信号GNT_Sを受け取った2クロック後にスレーブ側のデータ処理回路202-2が処理を行なっていることを示すビジー信号BSY_Sをマスタ側のアービタ205-1にスイッチ209-2およびスイッチ210-1を介して出力する。

【 0 0 3 6 】

このように、マスタからスレーブに処理が移行する場合において、マスタ側のビジー信号 BSY_M がインアクティブになってから 1 クロック後にグラント信号 GNT_S に応答して、スレーブ側のチップセレクト信号 CSB_S およびクロックイネーブル信号 CKE_S はそれぞれローレベルおよびハイレベルとされ、ビジー信号 BSY_M がインアクティブとなってから 2 クロック後にマスタ側のチップセレクト信号 CSB_M およびクロックイネーブル信号 CKE_M はそれぞれ $H i - z$ とされるため、システムバス 2 0 3 上のチップセレクト信号 CSB およびクロックイネーブル信号 CKE が不定となる期間が無くなる。

【 0 0 3 7 】

スレーブ側のデータ処理回路 2 0 2 - 2 がデータ処理を行なっている e の期間について説明する。スレーブ側のビジー信号 BSY_S がアクティブになったことに応答して 1 クロック後にスレーブ側のグラント信号 GNT_S をインアクティブにする。このとき、後続のリクエストがある場合にはリクエスト信号 REQ_M をアクティブのままとし、後続のリクエストがない場合にはリクエスト信号 REQ_M もインアクティブとする。

【 0 0 3 8 】

スレーブ側のデータ処理回路 2 0 2 - 2 による処理が終了し、終了時点でマスタおよびスレーブからリクエスト信号が出力されていない f の期間について説明する。スレーブ側のデータ処理回路 2 0 2 - 2 での処理が終了すると、コントローラ 2 0 8 - 2 は、リクエスト 2 0 6 - 2 および I F 回路 2 0 7 - 2 に終了信号 END を出力する。

【 0 0 3 9 】

終了信号 END を受け取ったリクエスト 2 0 6 - 2 は、ビジー信号 BSY_S をインアクティブ（ローレベル）とし、I F 回路 2 0 7 - 2 は、クロックイネーブル信号 CKE_S をインアクティブ（ローレベル）する。マスタ側の I F 回路 2 0 7 - 1 は、マスタおよびスレーブからのリクエスト信号がアクティブになっていないため、スレーブ側のビジー信号 BSY_S がインアクティブになった 1 クロック後に、マスタ側のチップセレクト信号 CSB_M をハイレベルにし、マ

スタ側のクロックイネーブル信号CKE__Mをローレベルにする。スレーブ側のIF回路207-2は、スレーブ側のビジー信号BSY__Sがインアクティブになった2クロック後にチップセレクト信号CSB__SをHi-zとし、クロックイネーブル信号CKE__SをHi-zとする。

【0040】

スレーブ側の処理が終了した後にスレーブおよびマスタのいずれからもしリクエストが出力されていない場合に、マスタ側のIF回路207-1によって、チップセレクト信号CSB__Mをハイレベルおよびクロックイネーブル信号をローレベルとすることによって、システムバス上のチップセレクト信号およびクロックイネーブル信号が不定となる期間を無くすることができる。

【0041】

また、マスタ側の処理が終了した後、スレーブおよびマスタのいずれからもしリクエストが出力されていない場合には、期間dの始まりの状態、すなわち、マスタ側のチップセレクト信号CSB__Mがハイレベル、マスタ側のクロックイネーブル信号CKE__Mがローレベルの状態をリクエストが入力されるまで維持することによって、システムバス上のチップセレクト信号およびクロックイネーブル信号が不定となる期間を無くすることができる。

【0042】

〔実施の形態の効果〕

したがって、データ処理装置200による処理が終了した後、リクエスト信号に応答して次の処理を行なうデータ処理装置200によってSDRAM201がアクセスされる場合およびリクエスト信号が無くアクセスが行なわれない場合のいずれにおいても、SDRAM201に接続されたシステムバス203上のクロックイネーブル信号およびチップセレクト信号が不定となる期間が無くなる。

【0043】

このため、システムバス203上にバス制御回路を設ける必要性は無くなり、回路規模が小さくなると共にデータ処理回路202とSDRAM201間のアクセス速度が向上する。また、従来から処理に使われていた、チップセレクト信号、クロックイネーブル信号、リクエスト信号、グラント信号およびビジー信号お

よび端子を用いて制御することができるため、データ処理回路 2 0 2 に余分な制御端子を設ける必要も無い。

【 0 0 4 4 】

しかも、本形態のデータ処理装置 2 0 0 では、初期設定の実行時にリクエスト信号 R E Q _ S を出力していないスレーブのデータ処理回路 2 0 2 - 2 はグラント信号 G N T _ S が入力されるとビジー信号 B S Y _ S を所定時間だけ出力するので、マスタのデータ処理回路 2 0 2 - 1 はスレーブのデータ処理回路 2 0 2 - 2 の起動をグラント信号 G N T _ S とリクエスト信号 R E Q _ S とビジー信号 B S Y _ S との通信で確認することができる。

【 0 0 4 5 】

[実施の形態の変形例]

本発明は本実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、本実施の形態では 1 個の D D R - S D R A M 2 0 1 に 2 個のデータ処理回路 2 0 2 - 1, 2 が接続されていることを例示したが、例えば、3 個以上のデータ処理回路 2 0 2 が接続されていることも可能である。

【 0 0 4 6 】

また、2 個のデータ処理回路 2 0 2 - 1, 2 が同一構造に形成されており、アービタ回路 2 0 5 - 1 が有効なマスタのデータ処理回路 2 0 2 - 1 が初期設定されることを例示したが、例えば、アービタ回路 2 0 5 が有効なマスタのデータ処理回路 2 0 2 を固定しておくことも可能であり、複数のデータ処理回路 2 0 2 の 1 個のみマスタとしてアービタ回路 2 0 5 を設けることも可能である。

【 0 0 4 7 】

さらに、アービタ回路 2 0 5 がデータ処理回路 2 0 2 に内蔵されていることを例示したが、例えば、複数のデータ処理回路 2 0 2 と 1 個のアービタ回路 2 0 5 とを別体に形成して接続する構造(図示せず)も可能である。ただし、前述のようにスレーブの起動をマスタが信号通信で確認するためには、そのアービタ回路 2 0 5 がマスタのデータ処理回路 2 0 2 - 1 に内蔵されている必要がある。

【 0 0 4 8 】

また、前述のように両方のデータ処理回路 2 0 2 が休止するときにグラント信号とリクエスト信号とビジー信号との通信のみでマスタが D D R - S D R A M 2 0 1 を占有するためにも、アービタ回路 2 0 5 がマスタのデータ処理回路 2 0 2 - 1 に内蔵されている構造が好適である。

【 0 0 4 9 】

例えば、複数のデータ処理回路 2 0 2 と 1 個のアービタ回路 2 0 5 とを別体に形成して接続した構造で、両方のデータ処理回路 2 0 2 が休止するときにマスタが D D R - S D R A M 2 0 1 を占有するためには、所定の信号配線などでスレーブのビジー信号をマスタに通知する構造が好適である。

【 0 0 5 0 】

本形態では、処理を終了したデータ処理回路 2 0 2 のビジー信号がインアクティブとなった 1 クロック後に、これから処理を行なうデータ処理回路 2 0 2 のチップセレクト信号およびクロックイネーブル信号をハイレベルおよびローレベルにし、処理を終了したデータ処理回路 2 0 2 のビジー信号がインアクティブとなった 2 クロック後に、処理を終了したデータ処理回路 2 0 2 のチップセレクト信号およびクロックイネーブル信号を H i - z にしているが、各信号の前後関係が入れ替わらなければどのようなタイミングで処理を行なってもよい。

【 0 0 5 1 】

また、処理を終了したデータ処理回路 2 0 2 から処理を開始するデータ処理回路 2 0 2 に S D R A M 2 0 1 の占有が移行する場合、S D R A M 2 0 1 を一時的に低消費電力モード（スタンバイモード）にするため移行時のクロックイネーブル信号がローレベルとなるよう制御しているが、応答速度を向上させるため S D R A M 2 0 1 を低消費電力にしない場合には、移行時のクロックイネーブル信号をハイレベルとしても良い。

【 0 0 5 2 】

すなわち、処理を終了したデータ処理回路 2 0 2 は、処理を開始するデータ処理回路 2 0 2 がクロックイネーブル信号をハイレベルにするまでクロックイネーブル信号をハイレベルに維持するようにしても良い。なお、処理を終了したデータ処理回路 2 0 2 のクロックイネーブル信号と処理を開始するデータ処理回路 2

02のクロックイネーブル信号の移行時のレベルはローレベルまたはハイレベルのいずれかに固定し、別々のレベルにならないよう制御する必要性がある。

【0053】

【発明の効果】

本発明のデータ処理装置では、半導体記憶回路の占有を終了するデータ処理回路がクロックイネーブル信号およびチップセレクト信号の出力を停止させる以前に半導体記憶回路の占有を開始するデータ処理回路がクロックイネーブル信号およびチップセレクト信号の出力を同一状態で各々開始することにより、半導体記憶回路に外部入力されるクロックイネーブル信号およびチップセレクト信号が不定状態となることがないので、半導体記憶回路の誤動作を防止することができ、この防止のためにバス制御回路が必要ないので、回路規模を削減するとともに応答速度を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態のデータ処理装置を示すブロック図である。

【図2】

データ処理装置の動作状態での各種信号を示すタイムチャートである。

【図3】

データ処理装置が初期設定を実行するときの各種信号を示すタイムチャートである。

【図4】

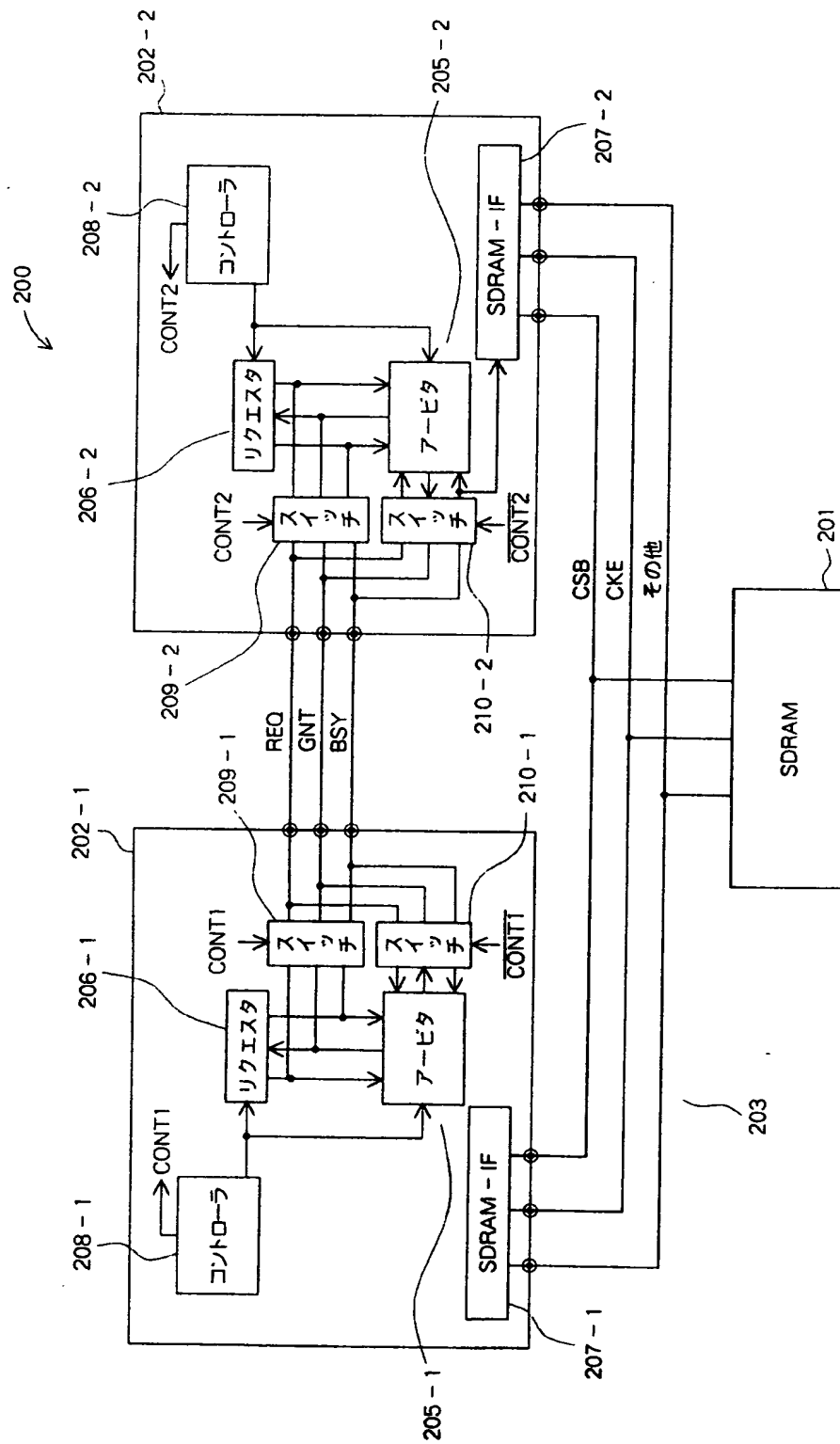
一従来例のデータ処理装置を示すブロック図である。

【符号の説明】

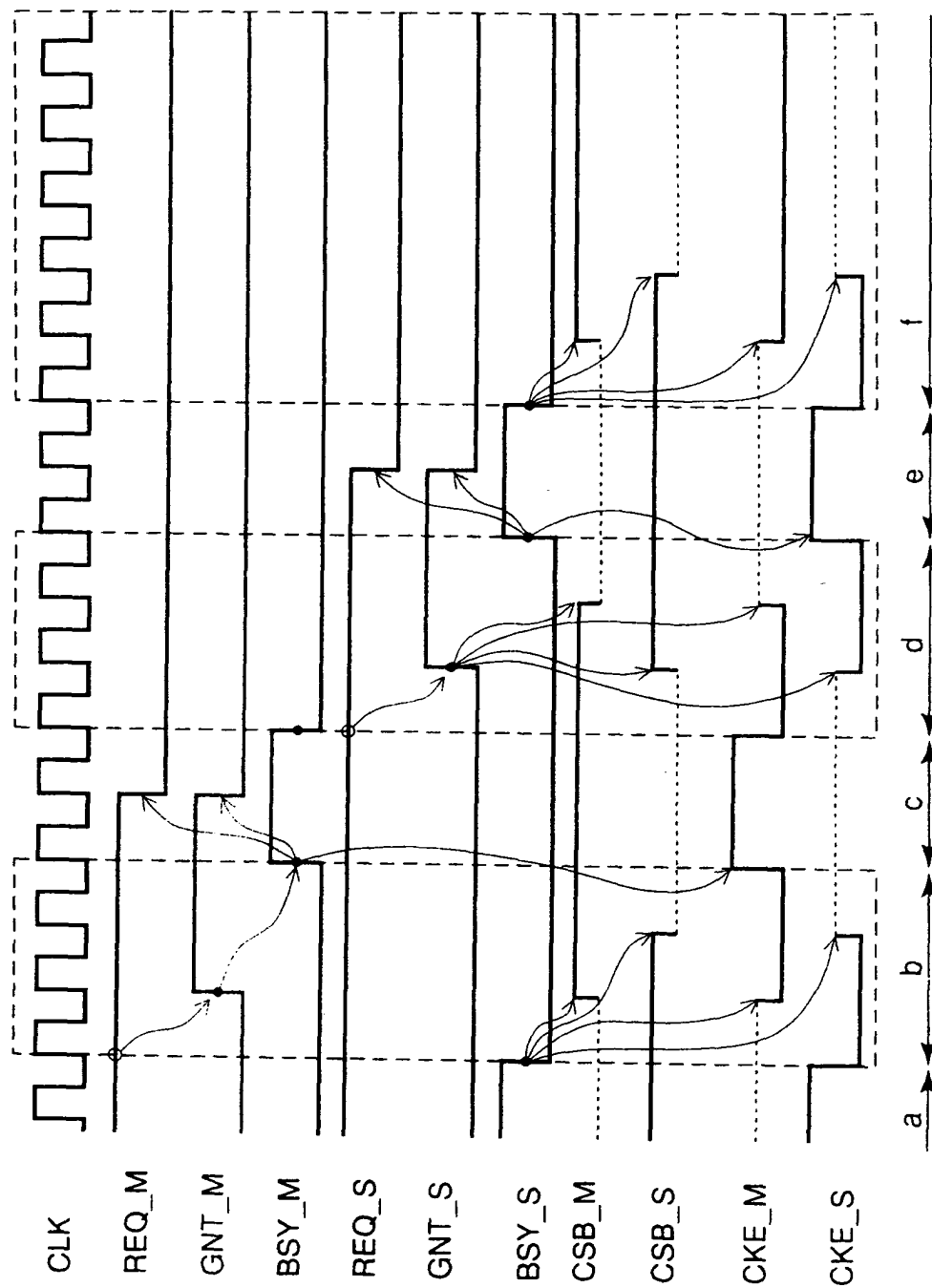
- 200 データ処理装置
- 201 半導体記憶回路であるDDR-SDRAM
- 202 データ処理回路
- 205 共有調停回路であるアービタ回路

【書類名】 図面

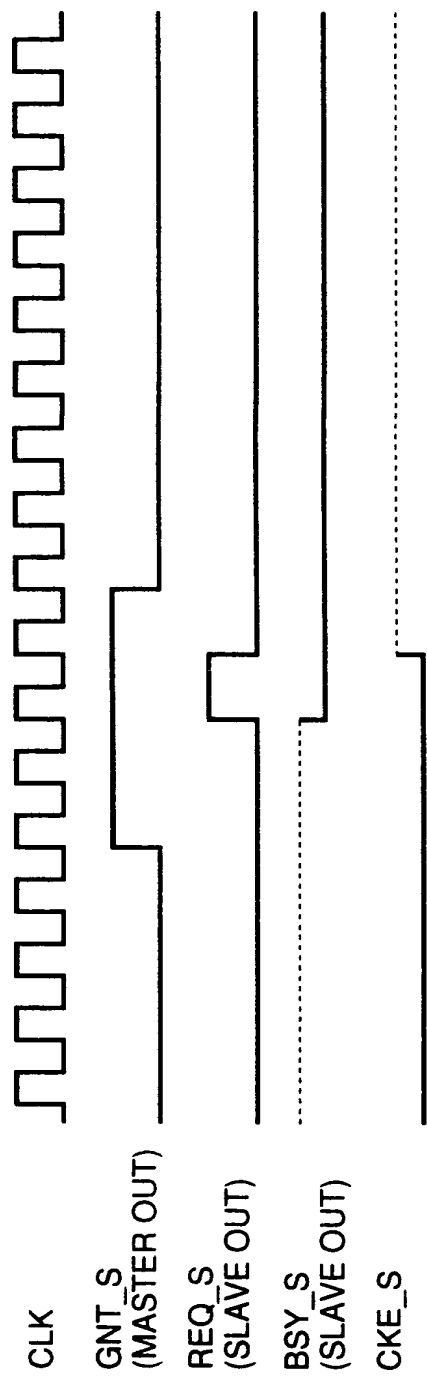
【図 1】



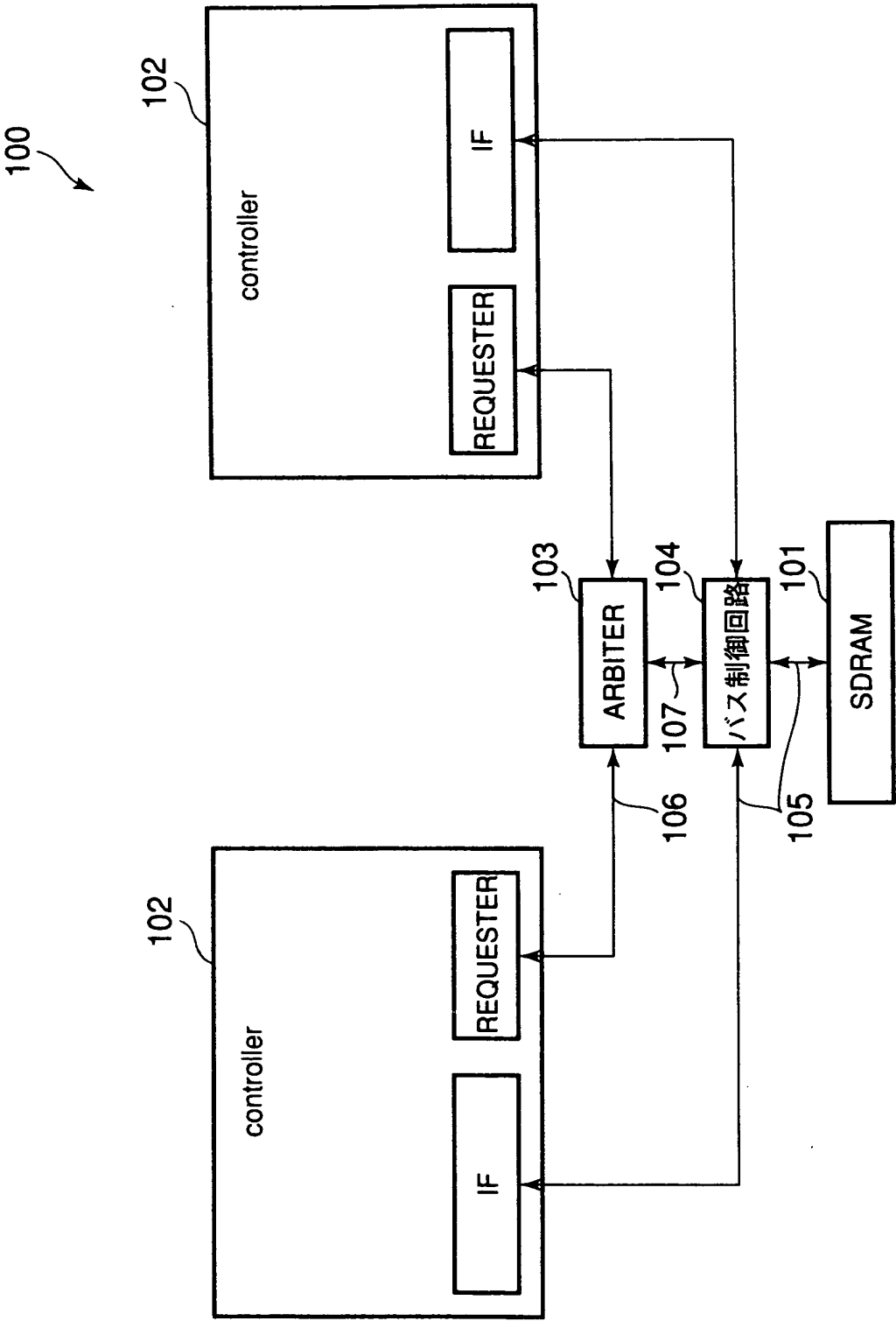
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 D D R - S D R A M等の半導体記憶回路を複数のデータ処理回路で共有する構造で、半導体記憶回路の誤動作を防止できるデータ処理装置を提供する。

【解決手段】 半導体記憶回路 2 0 1 の占有を終了するデータ処理回路 2 0 2 がクロックイネーブル信号およびチップセレクト信号の出力を停止させる以前に、半導体記憶回路 2 0 1 の占有を開始するデータ処理回路 2 0 2 がクロックイネーブル信号およびチップセレクト信号の出力を同一状態で各々開始する。このため、半導体記憶回路 2 0 2 に外部入力されるクロックイネーブル信号およびチップセレクト信号が不定状態となることがなく、半導体記憶回路 2 0 2 に誤動作が発生しない。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 74310411

【提出日】 平成15年 1月27日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-265326

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E Cエレクトロニクス株式会社

【承継人代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届に添付のものを援用する。

【物件名】 承継人であることを証明する承継証明書 1

【援用の表示】 平成15年1月20日提出の特願2002-31573
5の出願人名義変更届に添付のものを援用する。

【包括委任状番号】 0216444

【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 東京都港区芝五丁目 7 番 1 号

氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部 1 7 5 3 番地
氏 名	N E C エレクトロニクス株式会社